

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-85632

(P2001-85632A)

(43) 公開日 平成13年3月30日 (2001.3.30)

(51) Int.Cl. ⁷	識別記号	F I	テームコード(参考)
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1 5 B 0 1 5
G 1 1 C 11/22		G 1 1 C 11/22	5 B 0 2 4
11/41		11/34	U 5 F 0 8 3
14/00			3 5 2 A
H 0 1 L 27/108		H 0 1 L 27/10	6 5 1
審査請求 未請求 請求項の数16 O L (全 18 頁) 最終頁に続く			

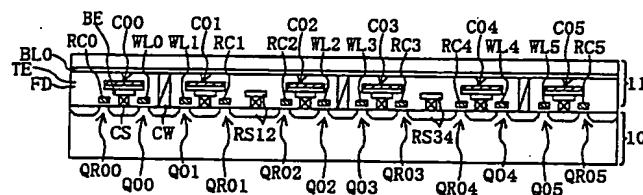
(21) 出願番号	特願平11-260665	(71) 出願人	000005843 松下電子工業株式会社 大阪府高槻市幸町1番1号
(22) 出願日	平成11年9月14日 (1999.9.14)	(72) 発明者	平野 博茂 大阪府高槻市幸町1番1号 松下電子工業株式会社内
		(74) 代理人	100077931 弁理士 前田 弘 (外1名)
		Fターム(参考)	5B015 HH04 JJ03 JJ21 KA10 KB91 PP02 5B024 AA15 BA02 BA29 CA07 CA21 5F083 AD21 AD48 AD49 AD51 AD52 FR02 FR03 GA01 GA05 JA15 JA38 JA39 KA19 LA01 LA19

(54) 【発明の名称】 強誘電体メモリ装置

(57) 【要約】

【課題】 高速動作可能な消費電力の小さい強誘電体メモリ装置を提供する。

【解決手段】 強誘電体キャパシタCの第1の電極は、メモリセルトランジスタQに接続され、第2の電極はセルプレート線PLに接続されている。セルプレート線PLの電位（例えば $(1/2)V_{DD}$ ）にほぼ等しい電位を供給するリセット電圧供給線RSが設けられており、リセット電圧供給線RSと強誘電体キャパシタCの第1の電極との間にリセットトランジスタQR、QRSが介設されている。スタンバイ時には、リセットトランジスタQR、QRSをONにしておくと、リセット電圧供給線からの電圧の供給によって強誘電体キャパシタCの量電極間の電位がほぼ等しくなる。セルプレート線PLの電位を接地電池と電源電位との間で切り換えなくてもデータの書き込みや読み出しが可能となり、リフレッシュ動作を行わなくてもデータの破壊を防止することができる。



【特許請求の範囲】

【請求項 1】 複数のワード線と、

上記複数のワード線に交差する複数のビット線と、
上記複数のワード線およびビット線が交差する位置にマトリクス状に配置されたメモリセルと、

上記メモリセル内に設けられ、強誘電体膜と該強誘電体膜を挟む第 1、第 2 の電極により構成される少なくとも 1 つの強誘電体キャパシタと、

上記メモリセル内に設けられ、上記ビット線と上記強誘電体キャパシタの上記第 1 の電極との間に介設され、ゲートが上記ワード線に接続される少なくとも 1 つメモリセルトランジスタと、

上記強誘電体キャパシタの上記第 2 の電極に接続されるセルプレート線と、

上記セルプレート線の電位にほぼ等しい電位の電圧を供給するためのリセット電圧供給線と、

上記リセット電圧供給線と上記強誘電体キャパシタの第 1 の電極との間に介設されたスイッチングトランジスタからなるリセットトランジスタと、

上記リセットトランジスタの ON・OFF を制御するためのリセット制御信号線とを備えている強誘電体メモリ装置。

【請求項 2】 請求項 1 記載の強誘電体メモリ装置において、

上記メモリセルは、上記メモリセルトランジスタと上記強誘電体キャパシタとを各々 2 個ずつ有しており、

上記各強誘電体キャパシタについて 1 つのリセットトランジスタを有することを特徴とする強誘電体メモリ装置。

【請求項 3】 請求項 1 又は 2 記載の強誘電体メモリ装置において、

上記ビット線の振幅電圧は電源電位と接地電位であり、
上記セルプレート線は、電源電位と接地電位の間の中間電位を供給するものであることを特徴とする強誘電体メモリ装置。

【請求項 4】 請求項 1～3 のうちいずれか記載の強誘電体メモリ装置において、

上記リセットトランジスタはスタンバイ時に ON になるように構成されていることを特徴とする強誘電体メモリ装置。

【請求項 5】 請求項 1～4 のうちいずれか 1 つに記載の強誘電体メモリ装置において、
上記強誘電体キャパシタの第 1 の電極が、上記第 2 の電極の下方に配置されているスタック型構成を有することを特徴とする強誘電体メモリ装置。

【請求項 6】 請求項 1～4 のうちいずれか 1 つに記載の強誘電体メモリ装置において、
相隣接するメモリセルのセルプレート線が共有されていることを特徴とする強誘電体メモリ装置。

【請求項 7】 請求項 1～4 のうちいずれか 1 つに記載

の強誘電体メモリ装置において、

上記リセットトランジスタと上記メモリセルトランジスタとは、互いに 1 つの拡散層を共有していることを特徴とする強誘電体メモリ装置。

【請求項 8】 請求項 1～4 のうちいずれか 1 つに記載の強誘電体メモリ装置において、

上記リセット電圧供給線は、拡散層を含む導電層によって構成されていることを特徴とする強誘電体メモリ装置。

【請求項 9】 請求項 8 記載の強誘電体メモリ装置において、

上記リセット電圧供給線は、拡散層に接続される裏打ち配線層を有することを特徴とする強誘電体メモリ装置。

【請求項 10】 請求項 9 記載の強誘電体メモリ装置において、

上記裏打ち配線層は、上記強誘電体キャパシタの第 1 の電極と同じ金属材料によって構成されていることを特徴とする強誘電体メモリ装置。

【請求項 11】 請求項 1～10 のうちいずれか 1 つに記載の強誘電体メモリ装置において、

相隣接する 2 つのメモリセルのうちいずれか一方のメモリセルの強誘電体キャパシタの第 1 の電極とリセット電圧供給線との接続を断接切り換えるためのリセットトランジスタは、上記 2 つのメモリセルのメモリセルトランジスタ間に介設されて、両側のメモリセルトランジスタと拡散層をそれぞれ共有するように構成されており、
相隣接する 2 つのメモリセルのうち他方のメモリセルの強誘電体キャパシタの第 1 の電極とリセット電圧供給線との接続を断接切り換えるためのリセットトランジスタは、ワード線に沿って相隣接する 2 つのメモリセルトランジスタと拡散層を共有するように構成されていることを特徴とする強誘電体メモリ装置。

【請求項 12】 請求項 11 記載の強誘電体メモリ装置において、

上記リセットトランジスタのゲート電極となる上記リセット制御信号線は、上記ビット線間の領域において一方の側に分岐して延びて上記他方のリセットトランジスタのゲート電極として機能する部分を有していることを特徴とする強誘電体メモリ装置。

【請求項 13】 請求項 11 記載の強誘電体メモリ装置において、

上記リセットトランジスタのゲート電極となる上記リセット制御信号線は、上記ビット線間の領域において交互に異なる側に分岐して延びて上記他方のリセットトランジスタのゲート電極として機能する部分を有していることを特徴とする強誘電体メモリ装置。

【請求項 14】 請求項 11 記載の強誘電体メモリ装置において、

上記リセットトランジスタのゲート電極となる上記リセット制御信号線は、上記ビット線間の領域において両側

に分岐して延びて上記他方のリセットトランジスタのゲート電極として機能する部分を有していることを特徴とする強誘電体メモリ装置。

【請求項 15】 請求項 1 記載の強誘電体メモリ装置において、

上記ビット線は、センスアンプを挟んで設けられた第 1 のビット線および第 2 のビット線からなる 1 対のビット線対により構成され、

上記複数のメモリセルのうち共通のビット線に接続される複数のメモリセルは、第 1 のビット線に接続される第 1 のメモリセル群と、第 2 のビット線に接続される第 2 のメモリセル群とに分けられていることを特徴とする強誘電体メモリ装置。

【請求項 16】 請求項 15 記載の強誘電体メモリ装置において、

上記メモリセルは、1つのメモリセルトランジスタと 1つの強誘電体キャパシタとを有しており、

上記複数のメモリセルのうち相隣接する 2つのメモリセルのメモリセルトランジスタは 1つの拡散層を共有している、

上記相隣接する 2つのメモリセルごとに、第 1 のビット線に接続される第 1 のメモリセル群と、第 2 のビット線に接続される第 2 のメモリセル群とに分けられて、第 1 のメモリセル群と第 2 のメモリセル群とが平面上で千鳥状に配置されていることを特徴とする強誘電体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強誘電体キャパシタを有するメモリセルを備えた強誘電体メモリ装置に係り、特に関するものである。

【0002】

【従来の技術】最近、携帯端末機器や IC カード等の記憶機能を備えた小型かつ高性能の電子機器類の普及に伴い、これに適した低電圧、低消費電力および高速動作の不揮発性メモリの要望が高まっている。不揮発性メモリの代表的なものとしてフラッシュメモリがあげられるが、低消費電力性、高速動作性の観点から強誘電体メモリが注目されている。強誘電体メモリは、強誘電体膜を用いたキャパシタの分極方向の相違を利用して不揮発性データを記憶するように構成されているので、データの書き換えには分極方向を反転させるための電界をかけるだけでよいことから、低電圧、低消費電力、高速動作という特徴がある。

【0003】その強誘電体メモリを構成するメモリセルの構成の従来例について図 21～23 を参照しながら説明する。図 21 は、従来の強誘電体メモリにおけるメモリセルアレイの回路上の構成を示す電気回路図である。

【0004】図 21 に示すように、従来の強誘電体メモリのメモリセルアレイは、互いに直交して延びる多数の

ビット線 BL およびワード線 WL と、両者の交差点に相当する部分にマトリクス状に配置された多数のメモリセルとを備えている。1つのメモリセルは、ワード線 WL の信号をゲート電極に受ける 1つのメモリセルトランジスタ Q と、メモリセルトランジスタ Q のソース領域とセルプレート線 PL との間に介在する 1つの強誘電体キャパシタ C とを備えている。図 21 には、4本のワード線 WL a～WL d と、4本のセルプレート線 PL a～PL d と、4本のビット線 BL a～BL d と、これらの交差する部位に配置される各々 16 個のメモリセルトランジスタ Q a a～Q d d および強誘電体キャパシタ C a a～C d d とのみを図示されているが、強誘電体メモリのメモリ容量（ビット数）に応じた数のワード線などが配置されていることは言うまでもない。後述する図 22、図 23 においても同様である。

【0005】ここで、強誘電体キャパシタ C は、メモリセルトランジスタのソース領域につながる第 1 の電極と、セルプレート線 PL につながる第 2 の電極とを備えている。この構造の詳細については、図 22、図 23 に示されており、後に詳しく説明する。強誘電体メモリのメモリセル構造は、基本的には DRAM メモリセルによく似ているが、特に、強誘電体キャパシタ C が残留分極特性（ヒステリシス特性）を有している点において、キャパシタが常誘電体で構成されている DRAM メモリセルの構造とは異なっている。

【0006】図 24 は、一般的な強誘電体キャパシタ C の残留分極特性を示す図である。強誘電体キャパシタ C は、ビット線 BL からメモリセルトランジスタ Q を経て強誘電体キャパシタ C の第 1 の電極に印加される電圧と、セルプレート線 PL から強誘電体キャパシタ C の第 2 の電極に印加される電圧との高低関係に応じて、図 24 に示す点 B における正の残留分極か、点 D における負の残留分極を生じる。

【0007】たとえば、書き込み時に、強誘電体キャパシタ C の第 1 の電極に印加される電圧が電源電圧 VDD で、第 2 の電極に印加される電圧が接地電圧 VSS (=0) のときの残留分極を正とし、強誘電体キャパシタ C の第 1 の電極に印加される電圧が接地電圧 VSS で、第 2 の電極に印加される電圧が電源電圧 VDD のときの残留分極量を L と定義しておく。そして、読み出し時には、メモリセルトランジスタ Q を ON にしてビット線 BL に強誘電体キャパシタ C の電位を引き出すと、ビット線 BL の電圧が強誘電体キャパシタ C の分極が正か負かによって高低変化する。そこで、センスアンプ（図示せず）によってビット線の電位と参照電位との電位差を増幅することで、データが“1”か“0”かを判別できることになる。

【0008】1T1C 型（1 トランジスタ、1 キャパシタ）のメモリセルにおいては、多数のセルについて 1 つ（例えば 256 個のセルについて 1 つ）の共通のリファ

レンスセルを設け、センスアンプ（図示せず）によって、このリファレンスセルから読み出される参照電位とビット線に引き出された電位との高低差を拡大し、いずれの電位が高いかに応じてデータ“1”、“0”を判別するように構成されている。

【0009】2T2C型（2トランジスタ、2キャパシタ）のメモリセルにおいては、例えば図21に示す構造において、1つのワード線WL_aに接続され、かつ、2つのビット線BL_a、BL_bに接続される2つのトランジスタQ_a、Q_bと、2つの強誘電体キャパシタC_a、C_bとによって1つのメモリセルを構成する。そして、例えば一方の強誘電体キャパシタC_aの分極が正で他方の強誘電体キャパシタC_bの分極が負の時をデータ“1”とし、一方の強誘電体キャパシタC_aの分極が負で他方の強誘電体キャパシタC_bの分極が正の時をデータ“0”として記憶しておく。そして、読み出し時には、2つのビット線BL_a、BL_b間に介設されたセンスアンプ（図示せず）によって、2つのビット線BL_a、BL_b間の電位差を拡大し、いずれの電位が高いかに応じてデータ“1”、“0”を判別するように構成されている。

【0010】次に、強誘電体メモリのメモリセルアレイの半導体基板上の構造について説明する。図22は、従来の強誘電体メモリにおけるメモリセルアレイの半導体基板上の構造のみを抜き出し、かつ、層間絶縁膜を透明体としたときの上面図である。

【0011】図22および図23に示すように、半導体基板100にトランジスタQの活性領域（ソース・ドレイン領域、チャンネル領域など）が設けられており、半導体基板100の上には、ポリシリコンにより構成されチャンネル領域上でゲート電極として機能するワード線WLが延びている。そして、トランジスタQのソース領域の上方に、プラチナやイリジウム系金属を含む金属により構成されDRAMのストレージノードに相当する強誘電体キャパシタCの下部電極BE（第1の電極）と、KN₂O₃、PbLa₂O₃-ZrO₂-TiO₂（PLZT）、PbTiO₃-PbZrO₃（PZT）などにより構成される強誘電体膜FDと、プラチナやイリジウム系金属を含む金属により構成される上部電極TE（第2の電極）とからなる容量部を備えている。容量部の下部電極BEは、コンタクトCSによりメモリセルトランジスタQのソースに接続されている。この容量部の構造は、スタック型キャパシタ構造と呼ばれている。また、上部電極TEは、図22に示すごとく、ワード線WLに平行に延びるセルプレート線PLの一部となっている。この容量部のさらに上方に、ビット線BLが図23に示す断面に平行な方向に延びており、ビット線BLは、コンタクトCWによりメモリセルトランジスタQのドレイン領域に接続されている。なお、半導体基板100の上方には層間絶縁膜101が形成されており、コンタクト

CS、下部電極BE、強誘電体膜FD、上部電極TE（セルプレート線PL）、コンタクトCW、ビット線BL等は、層間絶縁膜101内に埋められた状態となっている。また、相隣接するメモリセルトランジスタのソース領域間は、LOCOS分離絶縁膜により、電氣的に分離されている。図22に示す長方形で囲まれた活性領域以外の部分はすべてLOCOS分離膜となっている。

【0012】

【発明が解決しようとする課題】図21～図23に示すように、上記従来の強誘電体メモリのメモリセルアレイにおいては、各ワード線WLごとに1つずつセルプレート線PLが設けられている。しかるに、図22に顕著に現れているように、セルプレート線PLは、メモリセルアレイ中で大きな面積を占有している。そして、相隣接するメモリセルのセルプレート線間のセパレーションのためには各セルプレート線PL同士の間隔を十分広く確保する必要があるため、このままではメモリセルアレイの占有面積の縮小を図ることが困難である。

【0013】また、セルプレート線PLを駆動して動作させるため、セルプレート線を駆動させるための時間だけ速度が遅くなるという不具合がある。

【0014】上記2つの不具合を共に解消するには、各ワード線ごとにセルプレート線PLを設ける代わりに、相隣接する2つのメモリセルのセルプレート線PLを共通にしてその電圧を中間電位にすることが考えられる。つまり、2本のワード線WLにつき1本のセルプレート線PLを設け、例えば、書き込み時、セルプレート線PLの電圧を(1/2)VDDに固定しておく、ビット線BLの電圧がVDDのときには強誘電体キャパシタCに正の残留分極を、ビット線BLの電位が接地電位VSS（≒0）のときには強誘電体キャパシタCに負の残留分極をそれぞれ生ぜしめることができるので、上述と同様にして、1T1C型又は2T2C型のメモリセルを構成することができる。

【0015】しかるに、メモリセルトランジスタのソース領域の電位は接合リークによって接地電圧VSSに近づくといっていくので、セルプレート線PLの電位が長時間の間(1/2)VDDに固定された状態で長時間が経過すると、強誘電体キャパシタの分極データが破壊されるおそれがあるという不具合が生じる。これをお回避するためには、例えばデータのリフレッシュ動作を行なえばよいが、リフレッシュ動作によって強誘電体メモリの消費電力が多くなり、また、制御が複雑となるという別の不具合が生じる。

【0016】本発明の目的は、上述のような不具合を生じることなく、セルプレート線の駆動を不要とする手段を講ずることにより、高速動作が可能で消費電力の小さい強誘電体メモリ装置の提供を図ることにある。

【0017】

【課題を解決するための手段】本発明の強誘電体メモリ

装置は、複数のワード線と、上記複数のワード線に交差する複数のビット線と、上記複数のワード線およびビット線が交差する位置にマトリクス状に配置されたメモリセルと、上記メモリセル内に設けられ、強誘電体膜と該強誘電体膜を挟む第1、第2の電極により構成される少なくとも1つの強誘電体キャパシタと、上記メモリセル内に設けられ、上記ビット線と上記強誘電体キャパシタの上記第1の電極との間に介設され、ゲートが上記ワード線に接続される少なくとも1つメモリセルトランジスタと、上記強誘電体キャパシタの上記第2の電極に接続されるセルプレート線と、上記セルプレート線の電位にほぼ等しい電位の電圧を供給するためのリセット電圧供給線と、上記リセット電圧供給線と上記強誘電体キャパシタの第1の電極との間に介設されたスイッチングトランジスタからなるリセットトランジスタと、上記リセットトランジスタのON・OFFを制御するためのリセット制御信号線とを備えている。

【0018】これにより、従来の強誘電体メモリ装置のごとくセルプレート線の電位を接地電位と電源電位との間で切り換える制御を行なわなくても、データの書き込みや読み出しが可能となる。そして、リセットトランジスタにより、強誘電体キャパシタの第1の電極と第2の電極との電位がほぼ等しくなるように制御が可能な構成となっているので、リフレッシュ動作を行なわなくても、長期間第1の電極がフローティングになることに起因するデータの破壊を防止することができる。

【0019】上記強誘電体メモリ装置において、上記メモリセルは、上記メモリセルトランジスタと上記強誘電体キャパシタとを各々2個ずつ有する2T2C型のメモリセル構造であっても、上記各強誘電体キャパシタについて1つのリセットトランジスタを有している必要がある。

【0020】上記強誘電体メモリ装置において、ビット線の振幅電圧が電源電圧と接地電圧である場合には、上記セルプレート線が、電源電位と接地電位の間の中間電位を供給するものであることが好ましい。

【0021】上記強誘電体メモリ装置において、上記リセットトランジスタがスタンバイ時にONになるように構成されていることにより、スタンバイ時には強誘電体キャパシタの第1の電極にリセット電圧供給線からの電圧信号が導入されるので、長期間の間強誘電体キャパシタの第1の電極がフローティングに保持されることに起因するデータの破壊を確実に防止することができる。

【0022】上記強誘電体メモリ装置において、上記強誘電体キャパシタの第1の電極が、上記第2の電極の下方に配置されているスタック型構成を有することにより、セルプレート線として機能する第2の電極を上部電極とすればよいので、2つのメモリセル間の上部電極（セルプレート線）を共有化する構造を容易に実現することができる。

【0023】上記強誘電体メモリ装置において、上記リセットトランジスタと上記メモリセルトランジスタとが、互いに1つの拡散層を共有していることにより、メモリセルアレイの占有面積をさらに低減することができる。

【0024】上記強誘電体メモリ装置において、上記リセット電圧供給線を、拡散層を含む導電層によって構成することにより、メモリセルアレイの占有面積をさらに低減することができる。

10 【0025】上記強誘電体メモリ装置において、上記リセット電圧供給線は、拡散層に接続される裏打ち配線層を有することにより、低抵抗化によるメモリセルの動作の迅速化を図ることができる。

【0026】特に、上記裏打ち配線層が、上記強誘電体キャパシタの第1の電極と同じ金属材料によって構成されていることが好ましい。

20 【0027】上記強誘電体メモリ装置において、相隣接する2つのメモリセルのうちいずれか一方のメモリセルの強誘電体キャパシタの第1の電極とリセット電圧供給線との接続を断接切り換えるためのリセットトランジスタは、上記2つのメモリセルのメモリセルトランジスタ間に介設されて、両側のメモリセルトランジスタと拡散層をそれぞれ共有するように構成されており、相隣接する2つのメモリセルのうち他方のメモリセルの強誘電体キャパシタの第1の電極とリセット電圧供給線との接続を断接切り換えるためのリセットトランジスタは、ワード線に沿って相隣接する2つのメモリセルトランジスタと拡散層を共有するように構成されていることにより、メモリセルアレイの占有面積を大幅に低減することができる。

30 【0028】その場合、上記リセットトランジスタのゲート電極となる上記リセット制御信号線が、上記ビット線間の領域において一方の側に分岐して延びて上記他方のリセットトランジスタのゲート電極として機能する部分を有している場合には、リセット制御信号線のうち分離絶縁膜上に設けることが可能な割合を多くできるので、寄生容量の低減により、リセットトランジスタの動作速度を高めることができる。

40 【0029】また、上記リセットトランジスタのゲート電極となる上記リセット制御信号線が、上記ビット線間の領域において交互に異なる側に分岐して延びて上記他方のリセットトランジスタのゲート電極として機能する部分を有している場合には、メモリセル構造を同じ形状にすることが可能になり、製造加工の際の各部の形状のばらつきを抑制することができる。

50 【0030】上記リセットトランジスタのゲート電極となる上記リセット制御信号線が、上記ビット線間の領域において両側に分岐して延びて上記他方のリセットトランジスタのゲート電極として機能する部分を有している場合には、リセット制御信号線を直線状にすることがで

きるので、リセット制御信号線の抵抗の低減により、リセットトランジスタの動作速度を高めることができる。

【0031】上記強誘電体メモリ装置において、上記ビット線は、センスアンプを挟んで設けられた第1のビット線および第2のビット線からなる1対のビット線対により構成され、上記複数のメモリセルのうち共通のビット線に接続される複数のメモリセルは、第1のビット線に接続される第1のメモリセル群と、第2のビット線に接続される第2のメモリセル群とに分けられていることにより、メモリセルを各種パターンに配置して、1T1C型のメモリセル構造に適した構成を採ることが可能になる。

【0032】その例として、上記メモリセルに、1つのメモリセルトランジスタと1つの強誘電体キャパシタとを設け、上記複数のメモリセルのうち相隣接する2つのメモリセルのメモリセルトランジスタに1つの拡散層を共有させて、上記相隣接する2つのメモリセルごとに、第1のビット線に接続される第1のメモリセル群と、第2のビット線に接続される第2のメモリセル群とに分け、第1のメモリセル群と第2のメモリセル群とが平面上で千鳥状に配置するいわゆる折り返しビット線構造などを採ることができる。

【0033】

【発明の実施の形態】（第1の実施形態）

一回路構成－

図1は、本発明の第1および第2の実施形態の強誘電体メモリにおけるメモリセルアレイの回路上の構成を示す電気回路図である。

【0034】図1に示すように、本実施形態の強誘電体メモリのメモリセルアレイは、互いに直交して延びる多数のビット線BLおよびワード線WLと、両者の交差点に相当する部分にマトリクス状に配置された多数のメモリセルとを備えている。1つのメモリセルは、ワード線WLの信号をゲート電極に受ける1つのメモリセルトランジスタQと、メモリセルトランジスタQのソース領域とセルプレート線PLとの間に介在する1つの強誘電体キャパシタCとを備えている。強誘電体キャパシタCは、メモリセルトランジスタQのソース領域につながる第1の電極と、セルプレート線PLにつながる第2の電極とを備えている。この構造の詳細については、図2、図3に示されており、後に詳しく説明する。

【0035】ここで、本実施形態の第1の特徴は、セルプレート線PLの電圧を一定値に固定していることと、従来の強誘電体メモリセルのごとくワード線WLと同数のセルプレート線PLが設けられているのではなく、2つのワード線に対して1本のセルプレート線PLが設けられていることである。言い換えると、図22に示す2つのセルプレート線PLb、PLcを1本化（共有化）したものに相当するセルプレート線PL12や、図22に示すセルプレート線PLd、PLEを1本化（共有

化）したものに相当するセルプレート線PL34などが設けられている。ただし、図1においては、セルプレート線PL00は、メモリセルアレイ内で端部に位置しているために共有化されていない。そして、各セルプレート線PLの電位は $(1/2)VDD$ に固定されている。ただし、セルプレート線PLの電圧を $(1/2)VDD$ に固定する必要はなく、一定の電圧であればよい。

【0036】また、本実施形態の第2の特徴点は、スタンバイ時に強誘電体キャパシタCの第1の電極に $(1/2)VDD$ の電位を供給するためのリセット制御信号線RCと、リセットトランジスタQRと、リセット電圧供給線RSとが設けられている点である。リセットトランジスタQRは、そのソース領域をメモリセルトランジスタQのソース領域と共有するように設けられている。そして、リセットトランジスタQRのドレイン領域がリセット電圧供給線RSとなっており、ワード線に沿って並ぶ各リセットトランジスタQRのゲート電極がリセット信号制御線RCを構成している。すなわち、リセット信号制御線RCの信号に応じて、リセットトランジスタQRがONすると、リセット電圧供給線RSから $(1/2)VDD$ の電圧が強誘電体キャパシタCの第1の電極に供給されることにより、強誘電体キャパシタCの第1の電極と第2の電極との電位差がほぼ0となるように構成されている。

【0037】なお、図1には、4本のワード線WL0～WL3と、4本のビット線BL0～BL4と、これらの交差する部位に配置される各々16個のメモリセルトランジスタQ00～Q33および強誘電体キャパシタC00～C33と、3本のセルプレート線PL00、PL12、PL34と、3本のリセット電圧供給線RS00、RS12、RS34と、4本のリセット制御信号線RC0～RC4と、16個のリセットトランジスタQR00～QR33とが図示されているが、強誘電体メモリのメモリ容量（ビット数）に応じた数の信号線、トランジスタ、強誘電体キャパシタなどが配置されていることは言うまでもない。後述する図2、図3や、各実施形態における各図においても同様である。

【0038】本実施形態の強誘電体キャパシタCも、図24に示す残留分極特性を持っており、ビット線BLからメモリセルトランジスタQを経て強誘電体キャパシタCの第1の電極に印加される電圧（VSS又はVDD）と、セルプレート線PLから強誘電体キャパシタCの第2の電極に印加される電圧 $(1/2)VDD$ との高低関係に応じて、正（点B）又は負（点D）の残留分極を示す。

【0039】－動作方式－

本実施形態の強誘電体メモリのメモリセルアレイは、1T1C型又は2T2C型のメモリセルとして用いることができる。

【0040】ここでは、書き込み時に、強誘電体キャパ

シタCの第1の電極に印加される電圧が電源電圧VDDのとき、つまり、第2の電極に印加される電圧(1/2)VDDよりも電圧が高いときの残留分極を“正”とし、強誘電体キャパシタCの第1の電極に印加される電圧が接地電圧VSSで、第2の電極に印加される電圧

(1/2)VDDよりも低いときの残留分極を“負”と定義する。そして、読み出し時には、メモリセルトランジスタQをONにしてビット線BLに強誘電体キャパシタCの電位を引き出すと、ビット線BLの電圧が強誘電体キャパシタCの分極が正か負かによって高低変化する。そこで、センスアンプ(図示せず)によってビット線の電位と参照電位との電位差を増幅することで、データが“1”か“0”かを判別できることになる。

【0041】1T1C型のメモリセルにおいては、多数のセルについて1つ(例えば256個のセルについて1つ)の共通のリファレンスセルを設け、センスアンプ(図示せず)によって、このリファレンスセルから読み出される参照電位とビット線に引き出された電位との高低差を拡大し、いずれの電位が高いかに応じてデータ“1”、“0”を判別するように構成すればよい。

【0042】2T2C型のメモリセルにおいては、例えば図1に示す構造において、1つのワード線WL0に接続され、かつ、2つのビット線BL0、BL1に接続される2つのトランジスタQ00、Q10と、2つの強誘電体キャパシタC00、C10とによって1つのメモリセルを構成する。そして、例えば一方の強誘電体キャパシタC00の分極が正で他方の強誘電体キャパシタC10の分極が負の時をデータ“1”とし、一方の強誘電体キャパシタC00の分極が負で他方の強誘電体キャパシタC10の分極が正の時をデータ“0”として記憶しておく。そして、読み出し時には、2つのビット線BL0、BL1間に介設されたセンスアンプ(図示せず)によって、2つのビット線BL0、BL1間の電位差を拡大し、いずれの電位が高いかに応じてデータ“1”、“0”を判別するように構成すればよい。

【0043】一般に、1T1C型のメモリセル構造のほうがメモリセルアレイの占有面積は小さくて済むが、反面、ノイズによって誤動作が生じやすい、つまり信頼性が低いという不利な点がある。特に、本実施形態のごとく、セルプレート線PLの電圧を(1/2)VDDとしている場合には、強誘電体キャパシタCに生ぜしめる残留分極量が小さくなるので、信頼性を確保するためには2T2C型メモリセル構造を採用するほうが好ましい。

【0044】次に、本実施形態の特徴であるリセット電圧の供給を利用したメモリセルのデータの読み出しなどの動作について、2つの具体例を説明する。

1. 第1の具体例

図4(a)は、第1の具体例に係るメモリセルのデータの読み出し時における各信号線などの電位の変化を示すタイミングチャート図である。ここでは、2T2C型の

メモリセル構造を採用したものとして、図1に示すワード線WL0とビット線BL0、BL1とに接続される2つのメモリトランジスタQ00、Q10と、2つの強誘電体キャパシタC00、C10とを有するメモリセルのデータを読み出す際の動作について説明する。

【0045】まず、通常の動作状態では、セルプレート線PLの電圧は例えば(1/2)VDDに固定されている。リセット電圧供給線RSの電圧も、セルプレート線PLの電圧と同じ電圧(例えば(1/2)VDD)に固定されている。スタンバイ時(タイミングt1まで)においては、リセット制御信号線RC0の信号をHとしてリセットトランジスタQR00、QR10をONとし、強誘電体キャパシタC00、C10の各2つの電極の電位をいずれも(1/2)VDDにしている。すなわち、各強誘電体キャパシタC00、C10の各2つの電極の電位差がほとんどないことで、強誘電体膜の残留分極が破壊されないように制御される。なお、ビット線BL0、BL1はいずれも電位0Vにプリチャージされている。また、ワード線WL0の電位は当然ながらLである。

【0046】次に、タイミングt11で、読み出し動作に入ると、リセット制御信号線RC0の電位をLにして、リセットトランジスタQR00、QR10をOFFにし、強誘電体キャパシタC00、C10の各第1の電極をフローティング状態にする。また、ビット線BL0、BL1もフローティング状態にする。

【0047】次に、タイミングt12で、ワード線WL0の電位をHにして、メモリセルトランジスタQ00、Q10をいずれもONにする。これにより、ビット線BL0、BL1と強誘電体キャパシタC00、C10の各第1の電極とが接続された状態となり、ビット線BL0、BL1には、強誘電体キャパシタC00、C10の分極に応じた第1の電極の電圧が引き出される。つまり、強誘電体キャパシタC00の残留分極が正で強誘電体キャパシタC10の残留分極が負の場合には、ビット線BL0の電圧のほうがビット線BL1の電圧よりも高くなる。

【0048】次に、タイミングt13で、センスアンプを動作させて、ビット線BL0、BL1の電位差を0V(VSS)と電源電圧VDDとの電位差まで増幅して、データを読み出す。このとき、強誘電体キャパシタC00、C10にはデータの再書き込みが行なわれている。

【0049】次に、タイミングt14で、ワード線WL0の電位をLにして、メモリセルトランジスタQ00、Q10をOFFにする。これにより、ビット線BL0、BL1と強誘電体キャパシタC00、C10の第1の電極とが電氣的に切り離された状態になる。そして、強誘電体キャパシタC00、C10の各第1の電極は一時的にフローティング状態になる。

【0050】その後、タイミングt15で、リセット制

御信号線RC0の電位をHに立ち上げてリセットトランジスタQR00, QR10をONにする。これにより、強誘電体キャパシタC00, C10の各第1の電極の電位が $(1/2)V_{DD}$ になり、第2の電極との電位差がほぼ0になる。

【0051】次に、タイミングt16で、ビット線BL0, BL1の電位を0Vにプリチャージして、スタンバイ状態にする。

【0052】図4(a)の強誘電体キャパシタC00の第1の電極の電位の時間変化をみるとわかるように、本具体例では、読み出し動作中の短い期間(タイミングt12からタイミングt15まで)を除く期間(スタンバイ時)には、強誘電体キャパシタCの2つの電極間の電位差はほぼ0に保持されている。タイミングt14からタイミングt15までのわずかの期間には、強誘電体キャパシタCの第1の電極がフローティング状態になるものの、接合リークが10秒程度の期間に生じることを考慮すると、通常の強誘電体メモリにおいては問題になるほどの期間ではない。したがって、セルプレート線PLの電位を常時 $(1/2)V_{DD}$ に固定しても、強誘電体キャパシタCの残留分極状態が破壊されるのを抑制することができる。その際、リフレッシュ動作を行なう必要がないので、消費電力の増大を招くことはない。そして、後述のように、セルプレート線PLの共有化によるメモリセルアレイの占有面積の低減と高い信頼性の確保とを図ることができるのである。

【0053】また、従来の強誘電体メモリのようにセルプレート線PLの電位を0と V_{DD} との間に切り換えるのではなく、常に $(1/2)V_{DD}$ に維持しているので、制御が簡素化され、かつ、書き込み、読み出し、再書き込み動作を高速で行なうことができる。

【0054】なお、セルプレート線PLの電位およびリセット電圧供給線RSの電位は、電源投入時にはワード線WLやリセット制御信号線RCの信号によって同時に $(1/2)V_{DD}$ になるように制御され、データ破壊されない動作となっている。ただし、すべてのメモリセルの強誘電体キャパシタCに同時に電圧を印加すると、ピーク消費電力が過大になるので、一般的には、メモリセルアレイをさらに複数のブロックに分割して、各ブロックごとに電圧 $(1/2)V_{DD}$ を与えるタイミングをずらせている。

【0055】なお、セルプレート線PLの電位が常に一定である必要は必ずしもなく、セルプレート線PLの電位が変化し、リセット電圧供給線の電位もそれに追従してほぼ同じ電位になるように変化する構成となっていてよい。

2. 第2の具体例

この具体例においても、タイミングt21, t22, t23, t25, t26において、それぞれ上記第1の具体例におけるタイミングt11, t12, t13, t1

4, t15と同様の動作を行なう。

【0056】本具体例における第1の具体例との相違は、タイミングt23からセンスアンプによるデータの読み出しおよび再書き込みを行なった後、タイミングt24で、ビット線BL0, BL1のイコライズにより強誘電体キャパシタC00, C10の各第1の電極の電位を $(1/2)V_{DD}$ にし、その後、タイミングt26におけるリセット制御信号線RC0の立ち上げによるリセットトランジスタQR00, QR10のON動作までの間も、強誘電体キャパシタC00, C10の各2つの電極間の電位差をほぼ0に保っている点である。そして、リセット制御信号線RC0の立ち上げを行なった後、タイミングt27で、ビット線BL0, BL1の電位を0Vにプリチャージする。タイミングt27はタイミングt25の後であれば、タイミングt26の前であってよい。

【0057】本具体例では、再書き込みの後ワード線WL0の立ち下げによるビット線BLと強誘電体キャパシタの第1の電極との電気的な切り離しの前に、ビット線BLのイコライズによる強誘電体キャパシタCの第1の電極への中間電位 $(1/2)V_{DD}$ の供給を行なっている。したがって、図4(b)の強誘電体キャパシタC00の第1の電極の電位の時間変化をみるとわかるように、読み出し動作中のきわめて短い期間(タイミングt21からタイミングt24まで)を除く期間には、選択ワード線に接続される各メモリセルの強誘電体キャパシタCの2つの電極間の電位差はほぼ0に保持されている。よって、本具体例では、第1の具体例に比べて、読み出し・再書き込み後、メモリセルキャパシタの第1の電極の電位を第1段階としてビット線のイコライズによって $(1/2)V_{DD}$ にし、第2段階としてリセット電圧供給線RSに接続することによって $(1/2)V_{DD}$ にするため、迅速に $(1/2)V_{DD}$ にすることができる。これは、第2段階のリセット動作は、例えば抵抗値の高い拡散層によって構成されてリセットトランジスタを駆動する能力が低いリセット信号線RSを介して行なわれるのに対し、第1段階のリセット動作は、抵抗値が低い金属配線により構成されてリセットトランジスタを駆動する能力が高いビット線を介して行なわれるからである。また、タイミングt25とタイミングt26との順序を逆にすれば、強誘電体キャパシタCの第1の電極をフローティング状態とすることなくリセット動作ができ、データの破壊をより効果的に抑制することができる。

【0058】また、従来の強誘電体メモリのようにセルプレート線PLの電位を0と V_{DD} との間に切り換えるのではなく、常に $(1/2)V_{DD}$ に維持しているので、制御が簡素化され、かつ、書き込み、読み出し、再書き込み動作を高速で行なうことができる。

【0059】なお、電源投入時には、不揮発性データの

保護のため、強誘電体キャパシタには電界が印加されないようにする必要がある。このため、例えばリセット制御信号線RCの信号は、電源投入と同時にH（ $(1/2)VDD$ ）とすることが好ましい。また、セルプレート線PLの電位およびリセット電圧供給線RSの電位は、電源投入時には同時に $(1/2)VDD$ になるように設計することが好ましい。ただし、すべてのメモリセルのセルプレート線PLの電位およびリセット電圧供給線RSの電位を同時に駆動するとピーク電流が過大になり、不具合を招くことがあるので、一般的には、メモリセルアレイをさらに複数のブロックに分割して、各ブロックごとに順次タイミングをずらせて駆動することができる。また、ピーク電流を低減するために駆動能力を抑制することもできる。

【0060】なお、セルプレート線PLの電位が常に一定である必要は必ずしもなく、セルプレート線PLの電位が変化し、リセット電圧供給線の電位もそれに追従してほぼ同じ電位になるように変化する構成となっていてよい。

【0061】以上、上記第1、第2の具体例において説明したが、必ずしもこのような制御手順によらなくてもよい。例えば、スタンバイ状態でビット線BLを電源電位VDDのH状態で動作させることも可能である。

【0062】また、セルプレート線PLの電圧およびリセット電圧供給線RSの電圧は、選択ワード線の電位がVDD以上に昇圧されない場合には、選択ワード線の電圧からメモリセルトランジスタのしきい値電圧を差し引いた電圧値の $(1/2)$ に設定することもできる。このように電圧を設定する場合、強誘電体キャパシタに印加される正負の電圧を同じにすることができ、HデータとLデータの書き込みのバランスがよい状態となる。

【0063】—半導体基板上の構造—

次に、強誘電体メモリのメモリセルアレイの半導体基板上の構造について説明する。図2は、本実施形態の強誘電体メモリにおけるメモリセルアレイの半導体基板上の構造のみを抜き出し、かつ、層間絶縁膜を透明体としたときの上面図である。図3は、図2のIII-III線における断面図である。

【0064】図2および図3に示すように、半導体基板10にトランジスタQの活性領域（ソース・ドレイン領域、チャネル領域など）が設けられており、半導体基板100の上には、ポリシリコンにより構成されチャネル領域上でゲート電極として機能するワード線WLが延びている。そして、トランジスタQのソース領域の上方に、プラチナやイリジウム系金属を含む金属により構成されDRAMのストレージノードに相当する強誘電体キャパシタCの下部電極BE（第1の電極）と、 KNO_3 、 $PbLa_2O_3-ZrO_2-TiO_2$ （PLZT）、 $PbTiO_3-PbZrO_3$ （PZT）などにより構成される強誘電体膜FDと、プラチナやイリジウム

系金属を含む金属により構成される上部電極TE（第2の電極）とからなる容量部が設けられている。容量部の下部電極BEは、コンタクトCSによりメモリセルトランジスタQのソースに接続されている。この容量部の構造は、スタック型キャパシタ構造と呼ばれている。また、上部電極TEは、図2に示すワード線WLに平行に延びるセルプレート線PLを構成している。この容量部のさらに上方に、ビット線BLが図3に示す断面に平行な方向に延びており、ビット線BLは、コンタクトCWによりメモリセルトランジスタQのドレイン領域に接続されている。この構造は、いわゆるビット線上置き型の構造である。

【0065】ここで、本実施形態のメモリセルアレイの構造上の第1の特徴は、相隣接する2つの強誘電体キャパシタ（例えばC00、C01）の上部電極TEが共通のセルプレート線PL12となっており、このセルプレート線PLには常に一定の電圧 $(1/2)VDD$ を印加するように構成されている点である。そのために、セルプレート線PL12が2つのセルプレート線PLb、PLc（図22参照）に分かれていた従来例のごとく、両者のセパレーションを考慮する必要がないので、メモリセルアレイの占有面積を低減することができる。なお、リセットトランジスタQRが配置されている領域は、図23に示す構造において、従来例で各メモリセルのストレージノード部（ソース領域間）をLOCOSで分離していた部分であり、リセットトランジスタQRがオフのときにはリセットトランジスタQR自体が分離領域としての機能を果たしているので、リセットトランジスタを設けたことによる占有面積の増大はほとんどないといえる。

【0066】また、本実施形態のメモリセルアレイの構造上の第2の特徴は、メモリセルトランジスタQのソース領域と共通のソース領域を有するリセットトランジスタQRを設け、リセット電圧供給線RSをリセットトランジスタQRのドレイン領域により構成している点である。また、リセットトランジスタQRは、メモリセルトランジスタQのゲート電極であるワード線WLとコンタクトCSを挟んで対向するゲート電極を有し、各リセットトランジスタのゲート電極がリセット制御信号線RCを構成している。このように、ソース領域を共有化することと、リセット電供給線RSを拡散層（ドレイン領域）によって構成することにより、メモリセルアレイ面積の縮小化をさらに図ることができる。

【0067】また、ここではビット線上置き型の構造を採用しているので、ビット線の配線の加工がしやすい。

【0068】なお、半導体基板10の上方には層間絶縁膜11が形成されており、コンタクトCS、下部電極BE、強誘電体膜FD、上部電極TE（セルプレート線PL）、コンタクトCW、ビット線BL、リセット制御信号線RC等は、層間絶縁膜101内に埋められた状態と

なっている。

【0069】本実施形態によると、回路構成的には、各メモリセルトランジスタごとにリセットトランジスタを設けることにより、リフレッシュ動作を行わずともデータが破壊されるのを防止できるので、低消費電力化を実現することができる。

【0070】また、構造的には、各メモリセルトランジスタごとに互いにソース領域を共有するリセットトランジスタを設け、リセット電圧供給線はリセットトランジスタのドレイン領域により構成しているので、メモリセルアレイ面積の縮小化を図ることができる。

【0071】（第2の実施形態）

—回路構成および動作方式—

本実施形態の強誘電体メモリにおけるメモリセルアレイの回路上の構成および動作方式は、図1および図4

(a), (b)に示す第1の実施形態の強誘電体メモリにおけるメモリセルアレイの構成および動作方式と同じであって、半導体基板上の構造のみが第1の実施形態とは異なる。

【0072】—半導体基板上の構造—

図5は、本実施形態の強誘電体メモリにおけるメモリセルアレイの半導体基板上の構造のみを抜き出し、かつ、層間絶縁膜を透明体としたときの上面図である。図6は、図5のVI-VI線における断面図である。

【0073】図5および図6に示すように、半導体基板10にトランジスタQの活性領域（ソース・ドレイン領域、チャネル領域など）が設けられており、半導体基板100の上には、ポリシリコンにより構成されチャネル領域上でゲート電極として機能するワード線WLが延びている。そして、ワード線WLの上方に、ビット線BLが図6に示す断面に平行な方向に延びており、ビット線BLは、コンタクトCWによりメモリセルトランジスタQのドレイン領域に接続されている。そして、ビット線BLの上方に、プラチナやイリジウム系金属を含む金属により構成されDRAMのストレージノードに相当する強誘電体キャパシタCの下部電極BE（第1の電極）と、 KNO_3 , PbLa_2O_3 - ZrO_2 - TiO_2 (PLZT), PbTiO_3 - PbZrO_3 (PZT) などにより構成される強誘電体膜FDと、プラチナやイリジウム系金属を含む金属により構成される上部電極TE（第2の電極）とからなる容量部を備えている。容量部の下部電極BEは、コンタクトCSによりメモリセルトランジスタQのソースに接続されている。この容量部の構造は、スタック型キャパシタ構造と呼ばれている。また、上部電極TEは、図5に示すワード線WLに平行に延びるセルプレート線PLを構成している。この構造は、いわゆるビット線下置き型の構造である。

【0074】本実施形態のメモリセルアレイの特徴は、上記第1の実施形態とは異なり、ビット線下置き型の構造を採っている点である。その他の点においては、第1

の実施形態と同様の特徴を有している。

【0075】したがって、本実施形態のよると、上記第1の実施形態の効果に加えて、ビット線BLの上方に広く強誘電体キャパシタを形成できるため、強誘電体キャパシタCの容量をより大きく確保することができる。また、容量部に比べてビット線BLにより生じる段差は小さいので、その上方の配線等の加工が容易である。

【0076】（第3の実施形態）

—回路構成および動作方式—

図7は、本発明の第3の実施形態の強誘電体メモリにおけるメモリセルアレイの回路上の構成を示す電気回路図である。同図に示されるように、本実施形態の強誘電体メモリにおけるメモリセルアレイは、図1に示す第1の実施形態の強誘電体メモリにおけるメモリセルアレイとは異なり、セルプレート線PLを各々独立して設けている。その他の構成は、第1の実施形態の構成と同じである。

【0077】また、本実施形態の強誘電体メモリの動作方式も、図4(a), (b)に示す第1の実施形態の強誘電体メモリの動作方式と同じであって、半導体基板上の構造のみが第1の実施形態とは異なる。

【0078】したがって、本実施形態においては、相隣接するメモリセル間においてセルプレート線PLが共有化されていないものの、回路の動作上は上記第1の実施形態と同じ効果を発揮することができる。

【0079】—半導体基板上の構造—

図8は、本実施形態の強誘電体メモリにおけるメモリセルアレイの半導体基板上の構造のみを抜き出し、かつ、層間絶縁膜を透明体としたときの上面図である。図9は、図8のIX-IX線における断面図である。

【0080】図8および図9に示すように、第1の実施形態と比べ、本実施形態のメモリセルアレイの半導体基板上の構造の特徴は、セルプレート線PLを構成する上部電極TEが共有化されていないことと、リセットトランジスタQRのドレイン領域の上にドレイン領域に接続される低抵抗の裏打ち配線が設けられていて、この裏打ち配線とドレイン領域とによってリセット電圧供給線RSが構成されていることである。本実施形態においては、この低抵抗の配線は、強誘電体キャパシタの下部電極BEと同じ材料によって構成されている。つまり、プラチナ等の膜を堆積した後、これをパターニングして下部電極BEを形成する際に、裏打ち配線をも形成する。

【0081】その他の構造は、上記第1の実施形態と同じであり、本実施形態においても、いわゆるビット線上置き型の構造を採っている。

【0082】本実施形態によると、上記第1の実施形態に比べてリセット電圧供給線RSを低抵抗にできるため、例えば電源投入後のスタンバイ状態でリセット電圧共有線RSを迅速に所望の電位(1/2)VDDに維持できるので、データの破壊の防止効果を顕著に発揮する

ことができる。

【0083】（第4の実施形態）
—回路構成および動作方式—

図10は、本発明の第4の実施形態の強誘電体メモリにおけるメモリセルアレイの回路上の構成を示す電気回路図である。同図に示されるように、本実施形態の強誘電体メモリにおけるメモリセルアレイは、図1に示す第1の実施形態の強誘電体メモリにおけるメモリセルアレイの構成に加えて、相隣接するメモリセル間のリセットトランジスタQRをも共有化している。そして、リセット電圧供給線RS中におけるワード線方向に沿って相隣接するメモリセル間に、それぞれワード線方向リセットトランジスタQRSを設け、このワード線方向リセットトランジスタQRSの動作をリセット制御信号線RCの信号によって制御するようにしている。

【0084】例えば、リセット制御信号線RC1とリセット電圧供給線RS12とに接続される2つの強誘電体キャパシタC01、C02の第1の電極に供給される電圧について説明する。スタンバイ状態では、すべてのリセットトランジスタQR、QRSがONになっているので、強誘電体キャパシタC01、C02の第1の電極には電圧 $(1/2)V_{DD}$ が供給されている。そして、読み出し動作に入ると、図4(a)、(b)に示すタイミングt11、t21でリセットトランジスタQRがOFFになると同時にワード線方向リセットトランジスタQRSもOFFになって、強誘電体キャパシタC01、C02の双方の第1の電極がフローティングになる。一方、第1の実施形態においては、読み出し動作の際に非選択のワード線につながるメモリセルの強誘電体キャパシタの第1の電極には、常に中間電位 $(1/2)V_{DD}$ が供給されていたが、本実施形態においては、非選択のワード線に接続されるメモリセルであっても、選択ワード線に接続されるメモリセルとリセットトランジスタQRを共有するメモリセルにおいては、強誘電体キャパシタCの第1の電極への中間電位 $(1/2)V_{DD}$ の供給が停止されることになる。ただし、第1の実施形態において説明したように、強誘電体キャパシタCの第1の電極がフローティングになる期間は短いので、本実施形態においても不具合は生じない。

【0085】以上のように、本実施形態の強誘電体メモリの動作方式は、図4(a)、(b)に示す第1の実施形態の強誘電体メモリの動作方式と基本的には同じといえる。よって、本実施形態により、回路の動作上は上記第1の実施形態と同じ効果を発揮することができる。

【0086】—半導体基板上の構造—

次に、強誘電体メモリのメモリセルアレイの半導体基板上の構造について説明する。図11は、本実施形態の強誘電体メモリにおけるメモリセルアレイの半導体基板上の構造のみを抜き出し、かつ、層間絶縁膜を透明体としたときの上面図である。図12は、図11のXII-XII線

における断面図である。

【0087】本実施形態の特徴は、第1の実施形態の構造に比べ、セルプレート線PLを共有する2つのメモリセルにおいて、その間に介設されるリセットトランジスタQRの拡散層を両側のメモリセルトランジスタQの各ソース領域と共有化している点である。その結果、第1の実施形態に比べて、メモリセルアレイの占有面積を大幅に低減することができる。一方、ワード線方向リセットトランジスタQRSは必要となるが、図11に示されているように、ワード線方向リセットトランジスタQRSは、リセット制御信号線RCをビット線BL同士の間隙内で片側に分岐させた突出部を設けるだけで形成できるので、ワード線方向リセットトランジスタQRSを設けたことによる占有面積の変化はほとんどない。

【0088】また、リセットトランジスタQRのゲートであるリセット制御信号線RCをできるだけLOCOS分離絶縁膜上に形成しているので、リセット制御信号線RCの負荷を小さくしておくことができ、よって、各リセットトランジスタQR、QRSの動作速度を高めることができる。

【0089】（第5の実施形態）

—回路構成および動作方式—

図13は、本発明の第5の実施形態の強誘電体メモリにおけるメモリセルアレイの回路上の構成を示す電気回路図である。同図に示されるように、本実施形態の強誘電体メモリにおけるメモリセルアレイは、図10に示す第4の実施形態の強誘電体メモリにおけるメモリセルアレイの構成と基本的には同じである。つまり、第1の実施形態の構成に加えて、相隣接するメモリセル間のリセットトランジスタQRをも共有するとともに、ワード線方向リセットトランジスタQRSを設けている。ただし、本実施形態においては、第4の実施形態とは異なり、リセット電圧供給線RSがリセットトランジスタQRとワード線方向リセットトランジスタQRSとを直列に接続する経路によって構成されている。このワード線方向リセットトランジスタQRSの動作がリセット制御信号線RCの信号によって制御される点は、第4の実施形態と同様である。

【0090】また、本実施形態の強誘電体メモリの動作方式は、図4(a)、(b)に示す第1の実施形態の強誘電体メモリの動作方式と基本的には同じといえる。よって、本実施形態により、回路の動作上は上記第1の実施形態と同じ効果を発揮することができる。

【0091】—半導体基板上の構造—

次に、強誘電体メモリのメモリセルアレイの半導体基板上の構造について説明する。図14は、本実施形態の強誘電体メモリにおけるメモリセルアレイの半導体基板上の構造のみを抜き出し、かつ、層間絶縁膜を透明体としたときの上面図である。図15は、図14のXV-XV線における断面図である。

【0092】本実施形態は、第4の実施形態と同じ特徴点として、第1の実施形態の構造に比べ、セルプレート線PLを共有するメモリセル間のリセットトランジスタQRの拡散層を両側のメモリセルトランジスタQの各ソース領域と共有化している。その結果、第1の実施形態に比べて、メモリセルアレイの占有面積を大幅に低減することができる。一方、ワード線方向リセットトランジスタQRSは必要となるが、図14に示されているように、ワード線方向リセットトランジスタQRSは、リセット制御信号線RCをビット線BL同士の間隙内で交互に異なる方向に分岐させた突出部を設けるだけで形成できるので、ワード線方向リセットトランジスタQRSを設けたことによる占有面積の変化はほとんどない。

【0093】ここで、本実施形態のメモリセルアレイにおける各メモリセルは、第4の実施形態とは異なり、互いに同じ平面形状を有している。その結果、本実施形態によると、第4の実施形態よりも製造加工の際の各部の形状のばらつきを少なくすることができる。

【0094】（第6の実施形態）

—回路構成および動作方式—

本実施形態の回路構成を示す電位回路図の図示は省略するが、後述する図16に平面構造からわかるように、上記第4、第5の実施形態におけるリセットトランジスタQR、ワード線方向リセットトランジスタQRSを直線的に設けたものに相当する。また、本実施形態の強誘電体メモリの動作方式は、図4(a)、(b)に示す第1の実施形態の強誘電体メモリの動作方式と基本的には同じといえる。よって、本実施形態により、回路の動作上は上記第1の実施形態と同じ効果を発揮することができる。

【0095】—半導体基板上の構造—

次に、強誘電体メモリのメモリセルアレイの半導体基板上の構造について説明する。図16は、本実施形態の強誘電体メモリにおけるメモリセルアレイの半導体基板上の構造のみを抜き出し、かつ、層間絶縁膜を透明体としたときの上面図である。図17は、図16のXVII-XVII線における断面図である。

【0096】本実施形態は、基本的には第4、第5の実施形態と同様に、セルプレート線PLを共有するメモリセル間のリセットトランジスタQRの拡散層を両側のメモリセルトランジスタQの各ソース領域と共有化している。その結果、第1の実施形態に比べて、メモリセルアレイの占有面積を大幅に低減することができる。

【0097】ここで、本実施形態においては、ワード線方向リセットトランジスタQRSは、第4、第5の実施形態とは異なり、リセット制御信号線RCをビット線BL同士の間隙内で両方向に分岐させた突出部を設けて形成されている。そして、ワード線方向リセットトランジスタQRSを設けたことによる占有面積の変化はほとんどない。

【0098】本実施形態によると、上記第4、第5の実施形態に比べて、リセット制御信号線に沿って、リセット電圧供給線RSを構成する拡散層を直線的に形成しているため、リセット電圧供給線RSの抵抗を低減することができる。

【0099】ただし、リセットトランジスタQRのゲートであるリセット制御信号線RCはほとんど拡散領域の上に形成されているので、リセット制御信号線RCの負荷は第4、第6の実施形態に比べると大きくなる。

【0100】（第7の実施形態）

—回路構成および動作方式—

図18は、本発明の第7の実施形態の強誘電体メモリにおけるメモリセルアレイの回路上の構成を示す電気回路図である。同図に示されるように、本実施形態の強誘電体メモリにおけるメモリセルアレイは、図1に示す第1の実施形態の強誘電体メモリにおけるメモリセルアレイの構成において、相補ビット線BL、/BLを設け、相隣接する2つのメモリセルごとに、ビット線BLとビット線/BLとに交互に接続関係を変化させ、いわば千鳥状に配置したものである。そして、図示しないが、相補ビット線BL、/BLの間にセンスアンプが配置されている。また、リセットトランジスタQRは、すべてビット線BL、/BL同士の間隙内に配置するようにしている。

【0101】本実施形態のメモリセルアレイは、上記第1～第6の実施形態が2T2C型メモリセル構造又は1T1C型メモリセル構造に適用可能な構造となっていて、特に、高い信頼性を維持するためには2T2C型メモリセル構造が好ましい構成であったのに対し、1T1C型メモリセル構造となっている。

【0102】したがって、本実施形態によると、ノイズによる誤動作の少ないセンス動作マージンが大きい折り返しビット線構成にすることができ、高い信頼性を発揮することができる。よって、高い信頼性を維持しつつ、より高集積化に適した構成となっている。

【0103】—半導体基板上の構造—

次に、強誘電体メモリのメモリセルアレイの半導体基板上の構造について説明する。図19は、本実施形態の強誘電体メモリにおけるメモリセルアレイの半導体基板上の構造のみを抜き出し、かつ、層間絶縁膜を透明体としたときの上面図である。図20は、図19のXX-XX線における断面図である。

【0104】本実施形態においては、上記第1～第6の実施形態のレイアウトを採ることができるが、ここでは、第5の実施形態のレイアウトを採用した場合を代表的に示している。したがって、半導体基板上の効果としては、上記第1～第6の実施形態のそれぞれと同様の効果を発揮することができる。

【0105】本実施形態においては、図19に示すように、奇数本目のビット線と偶数本目のビット線とでワー

ド線によって選択されるグループを分ける用に構成しているが、本発明は、かかる実施形態に限定されるものではなく、例えば、連続する2本のビット線（例えば／BL0とBL1）が同じワード線によって選択されるようにグループ分けを行なうことも考えられる。

【0106】

【発明の効果】本発明の強誘電体メモリ装置によれば、強誘電体キャパシタの第1の電極と第2の電極との電位を等しくするためのリセット電圧供給線とリセットトランジスタとを設けたので、高速動作が可能で消費電力の小さい強誘電体メモリ装置の提供を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1および第2の実施形態の強誘電体メモリにおけるメモリセルアレイの回路上の構成を示す電気回路図である。

【図2】第1の実施形態の強誘電体メモリにおけるメモリセルアレイの半導体基板上の構造のみを抜き出して示す上面図である。

【図3】図2のIII-III線における断面図である。

【図4】(a), (b)は、本発明の各実施形態に適用されるデータの読み出し時における動作の具体例をそれぞれ示すタイミングチャート図である。

【図5】第2の実施形態の強誘電体メモリにおけるメモリセルアレイの半導体基板上の構造のみを抜き出して示す上面図である。

【図6】図5のVI-VI線における断面図である。

【図7】本発明の第3の実施形態の強誘電体メモリにおけるメモリセルアレイの回路上の構成を示す電気回路図である。

【図8】第3の実施形態の強誘電体メモリにおけるメモリセルアレイの半導体基板上の構造のみを抜き出して示す上面図である。

【図9】図8のIX-IX線における断面図である。

【図10】本発明の第4の実施形態の強誘電体メモリにおけるメモリセルアレイの回路上の構成を示す電気回路図である。

【図11】第4の実施形態の強誘電体メモリにおけるメモリセルアレイの半導体基板上の構造のみを抜き出して示す上面図である。

【図12】図11のXII-XII線における断面図である。

【図13】本発明の第5の実施形態の強誘電体メモリにおけるメモリセルアレイの回路上の構成を示す電気回路

図である。

【図14】第5の実施形態の強誘電体メモリにおけるメモリセルアレイの半導体基板上の構造のみを抜き出して示す上面図である。

【図15】図14のXV-XV線における断面図である。

【図16】本発明の第6の実施形態の強誘電体メモリにおけるメモリセルアレイの半導体基板上の構造のみを抜き出して示す上面図である。

【図17】図16のXVII-XVII線における断面図である。

【図18】本発明の第7の実施形態の強誘電体メモリにおけるメモリセルアレイの回路上の構成を示す電気回路図である。

【図19】第7の実施形態の強誘電体メモリにおけるメモリセルアレイの半導体基板上の構造のみを抜き出して示す上面図である。

【図20】図19のXX-XX線における断面図である。

【図21】従来の強誘電体メモリにおけるメモリセルアレイの回路上の構成を示す電気回路図である。

【図22】従来の強誘電体メモリにおけるメモリセルアレイの半導体基板上の構造のみを抜き出して示す上面図である。

【図23】図22のXXIII-XXIII線における断面図である。

【図24】一般的な強誘電体キャパシタCの残留分極特性を示す図である。

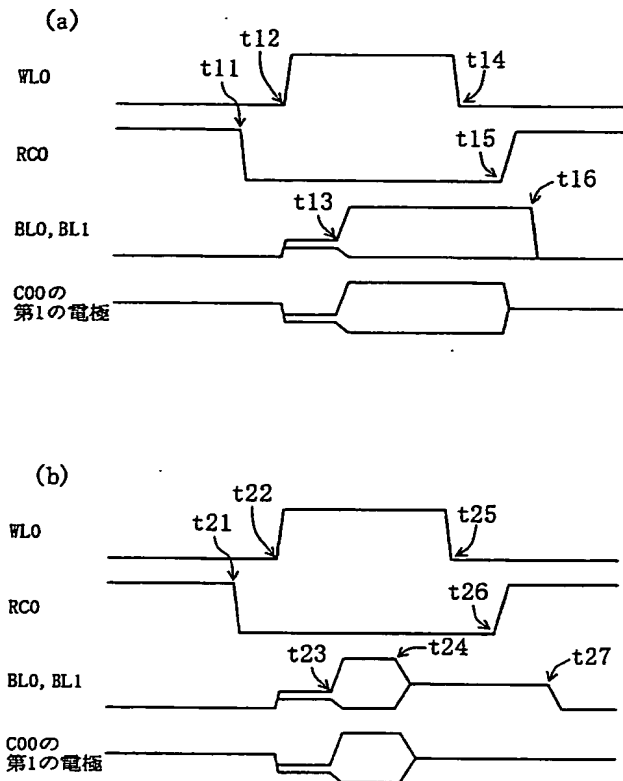
【符号の説明】

10	半導体基板
11	層間絶縁膜
WL	ワード線
PL	セルプレート線
BL, /BL	ビット線
C	強誘電体キャパシタ
Q	メモリセルトランジスタ
QR	リセットトランジスタ
QRS	リセットトランジスタ
RC	リセット制御信号線
RS	リセット電圧供給線
TE	上部電極（第2の電極）
BE	下部電極（第1の電極）
CS	コンタクト
CW	コンタクト

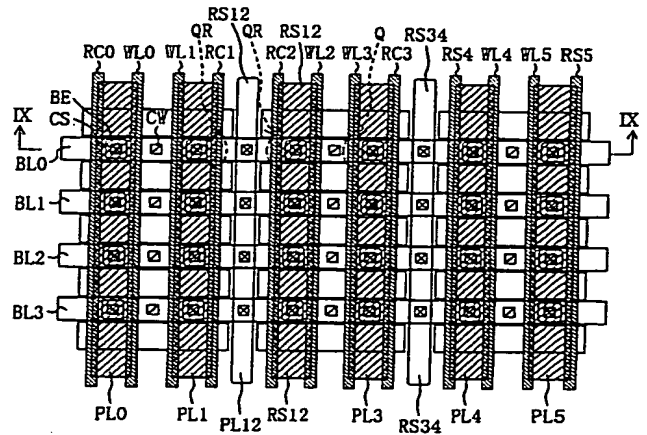
A detailed cross-sectional diagram of a semiconductor device. The top surface features a series of rectangular regions labeled C00, C01, C02, C03, C04, and C05 from left to right. Above these are labels BE, WLO, WL1, RC1, RC2, WL2, WL3, RC3, RC4, WL4, WL5, and RC5. On the far left, vertical labels BLO, TE, and FD indicate different sections or materials. Below the main body of the device, there are several layers and regions labeled CS, CW, RS12, RS34, QR00, Q00, Q01, QR01, QR02, Q02, Q03, QR03, QR04, Q04, Q05, and QR05. The bottom-most layer is labeled 10, and the uppermost layer is labeled 11.

FIG. 1 is a cross-sectional view of a semiconductor device. The device is built on a substrate (BL0) with a gate oxide layer (FD). The gate electrodes are labeled C00, C01, C02, C03, C04, and C05. The gate spacers are labeled RC0, RC1, RC2, RC3, RC4, and RC5. The source/drain regions are labeled QR00, QR01, QR02, QR03, QR04, and QR05. The device is covered by a passivation layer (BE). The dimensions 1.0 and 1.1 are indicated.

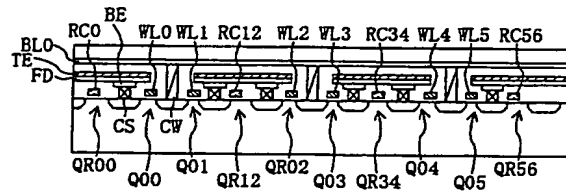
【図4】



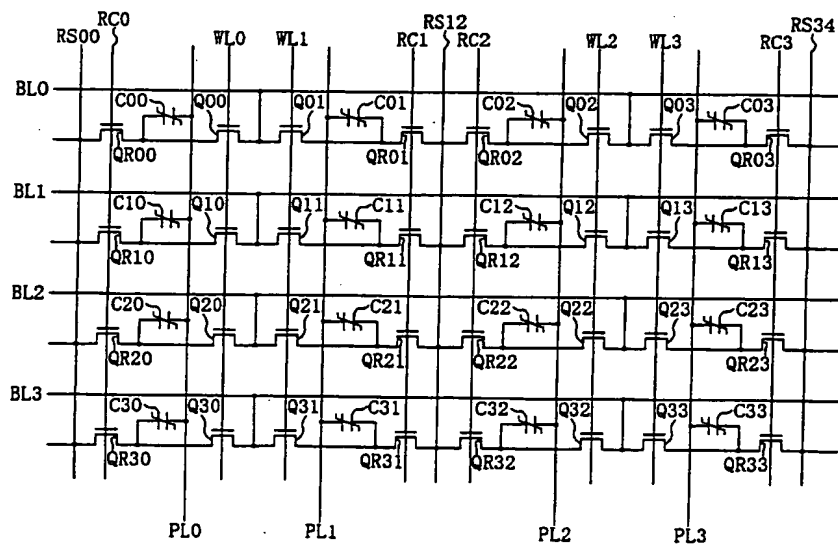
【図8】



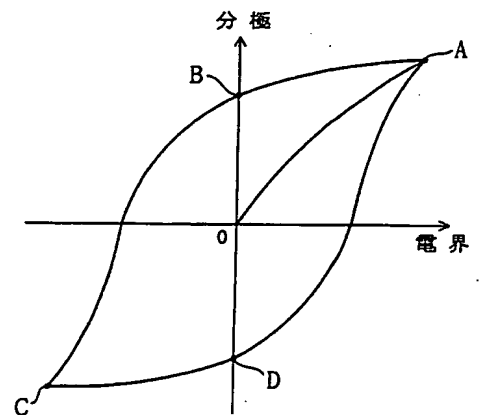
【図12】



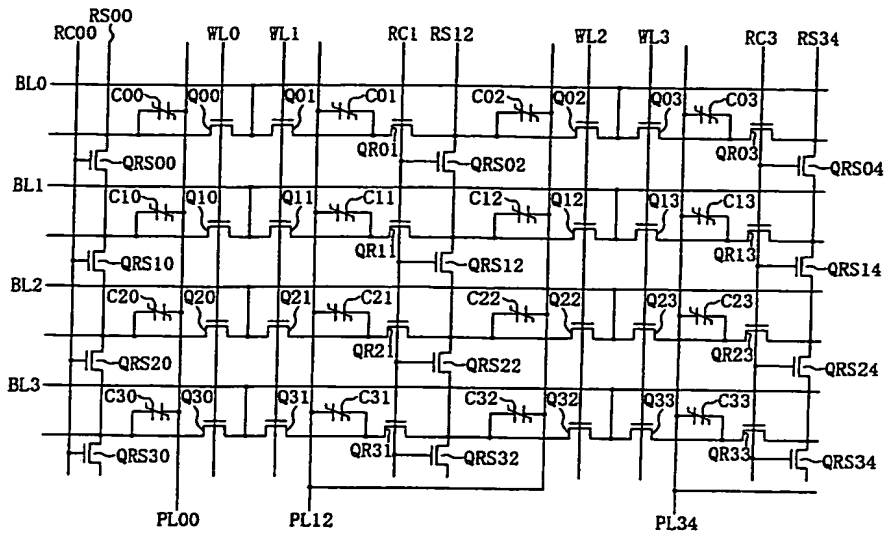
【図7】



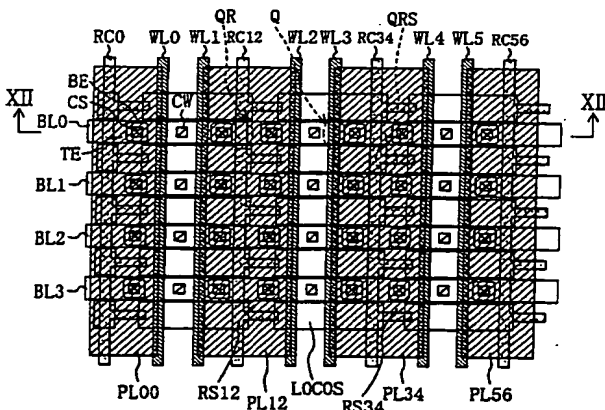
【図24】



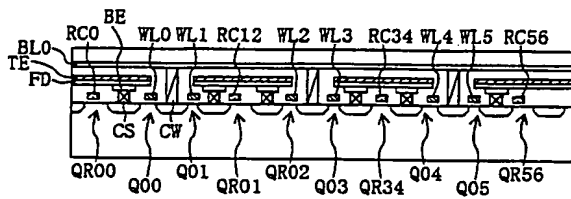
【図 10】



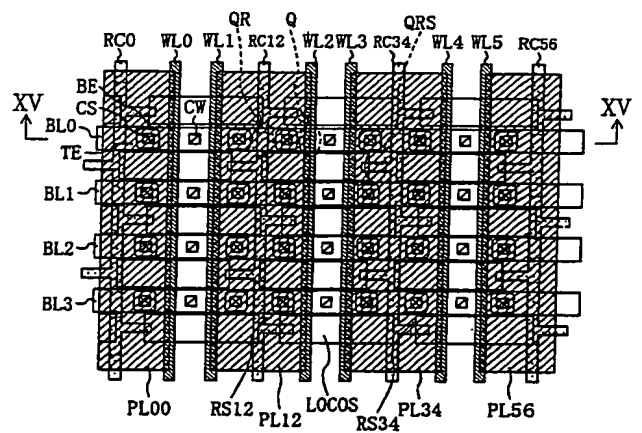
【図 11】



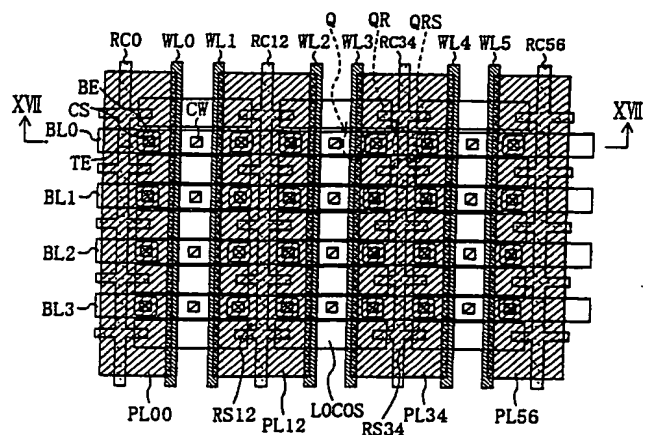
【図 15】



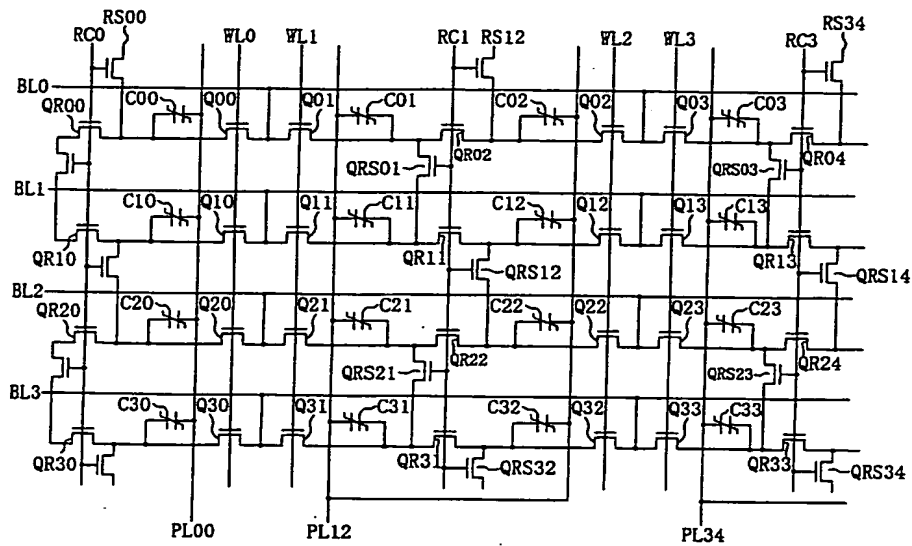
【図 14】



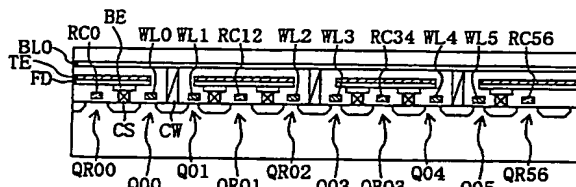
【図 16】



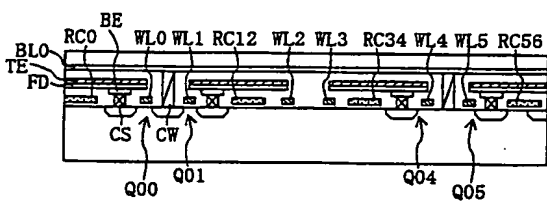
【図 13】



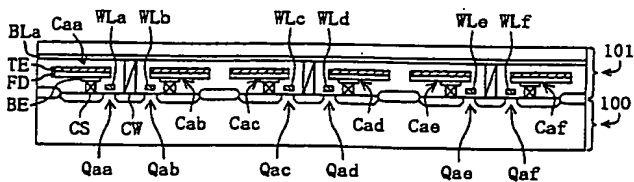
【図 17】



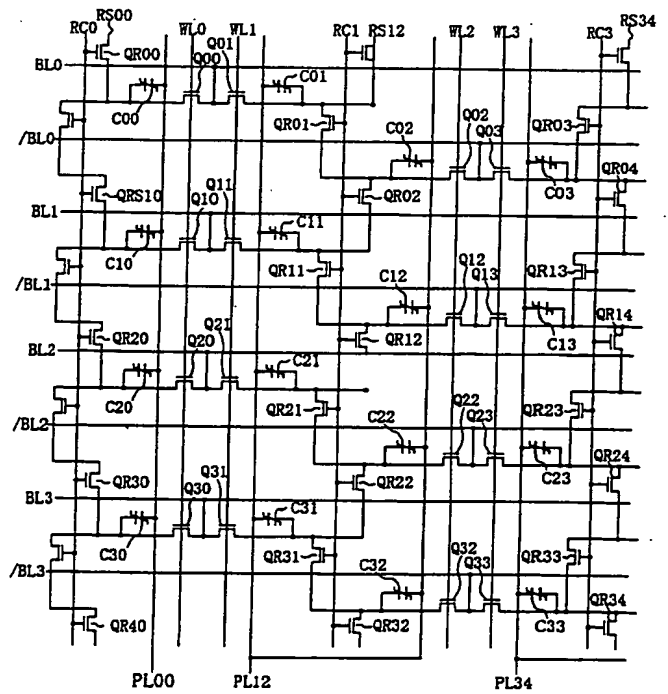
【図 20】



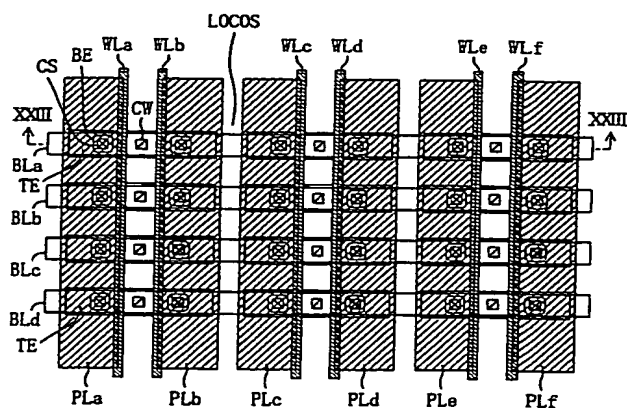
【図 23】



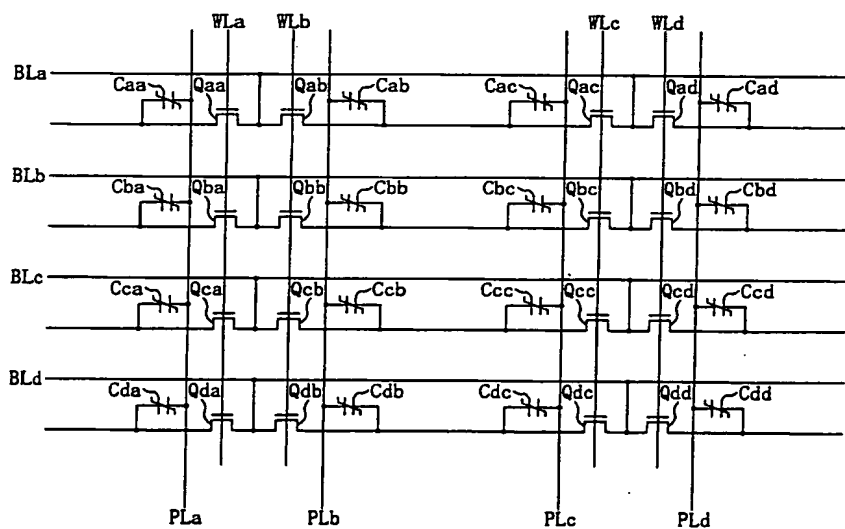
【図 18】



【図 22】



【図 2 1】



テーマコード（参考）

-18-